

בדיקות JTAG לפיני קלט-פלט מתקדמים

במאמר זה נציג לפניכם כמה שיקולי תכנון לבדיקות (DFT) אשר מן הראוי להביא בחשבון כאשר מממשים את תקן 1149.6 על רכיב או על מעגל מודפס



ד"ר עמי גורודצקי, StarTest

רכיבי תקשורת טוריים דיפרנציאליים במהירות גבוהה הופכים לנפוצים יותר ויותר בתכנונים של היום. חיבורים מצומדי-AC הופכים לדרך הנפוצה ביותר לחיבור פיני קלט/פלט של רכיב מרובה ג'יגהביטים ברמת המעגל המודפס. אף כי מנקודת מבט של התכנון יש יתרון לשימוש בצימוד-AC ובתמסורת אותות דיפרנציאלית, הרי שמבחינת הבדיקות, שימוש זה הופך ליותר ויותר מאתגר.

לרוע המזל, הטכניקה הסטנדרטית (JTAG, Boundary-Scan) הנמצאת בשימוש תדיר לבדיקת חיבורים אינה תואמת לאותות מצומדי-AC. תקן IEEE 1149.6 החדש (אשר אושר במארס 2003 וידוע גם כ-"AC EXTEST") פותח כדי לתמוך בבדיקה של אותות כאלה. תקן זה מרחיב את היכולת של ה-1149.1 להכיל קווים מצומדים-AC ו/או קווים דיפרנציאליים. לפניכם כמה שיקולי תכנון לבדיקות (DFT) אשר כדאי להביא בחשבון כאשר מממשים את תקן 1149.6 על רכיב או על מעגל מודפס.

מעברי אותות במקום רמות

תקן ה-1149.6 (או Dot-6) מציע פתרון אשר מאפשר להניח תא JTAG בתוך דרייבר המשימה, ומקלט בדיקה על כל פין ופין של הרכיב הקולט. מקלט הבדיקה לוכד מעברים, לא רמות (כפי שנעשה ב-JTAG מסורתי). זה מאפשר ל-Dot-6 ללכוד אותות לירידה למרות האיכותם הרצינית. כדי להתמודד עם ה-offset הפוטנציאלי בלתי-ידוע, תקן ה-Dot-6 מציע קומפרטור עם היסטריזיס הכולל ייחוס-עצמי כדי ללכוד את מעבר האות. הקלטים של המקלט הם גירסה מושהית של האות ושל הפלט של הקומפרטור ההיסטריזי.

תקן ה-Dot-6 מכניס מספר שינויים למבנים על-גבי הרכיב אשר ידועים מ-1149.1. מרביתם ברורים למדי, הן להבנה והן למימוש, אבל קיימת דרישה אחת שהינה חדשה לגמרי. כך למשל, בצד הפלט של הרכיב, קיימים רק שינויים שוליים. תא JTAG במוצא בעבור פין בדיקה AC דורש קלט חדש אשר הינו מחובר כ-exclusive-OR עם הפלט של תא ה-Update. קלט חדש זה נגרם על-ידי פלט אות חדש מה-TAP, אשר toggle על falling edge של TCK כאשר פקודת בדיקה AC פעילה וה-TAP הוא במצב הנכון.

בצד הקלט של הרכיב קיים מקלט בדיקה חדש לגמרי, ואחד ממקלטי הבדיקה האלה נחוץ על כל פד כניסה של פין בדיקת AC (לא מקלט אחד לזוג דיפרנציאלי, כפי שקורה ב-JTAG מסורתי). בשילוב עם תא JTAG

מסורתי לכל אחד מהם, מקלט בדיקה כזה מספק שתי פונקציות, כדלקמן:
 - איתור מעבר בפד הרכיב אשר עומד בדרישות מינימום במונחים של תנודת מתח וזמן מעבר;
 - איתור אחד משלושת התנאים הבאים: מעבר עולה, מעבר יורד או מצב של אין מעבר כלל.

כאשר קלט לרכיב הוא מצומד-AC במעגל מודפס, אין דרך לדעת בזמן תכנון הרכיב מה קבוע הזמן של הצימוד זה. ואכן, רכיב תואם Dot-6 עשוי לשמש בתנאים מבניים שונים, כל אחד מהם עם קבוע זמן שונה. באופן דומה, כאשר מתכננים מקלט, לא ידוע בדיוק איזה מאפייני דרייבר ימומשו. אין זה ברור מראש מה תהיה התערובת של דרייברים ומקלטים בטכנולוגיות השונות, או אפילו בפרוטוקולים השונים על המעגל המודפס. בבסיבות כאלה, מאפיין האות היחיד אשר נותר בלתי-משתנה הוא המעבר עצמו. לפיכך, פרמטר זה הוא היחיד שניתן לעקוב אחריו בזמן בדיקה.

תקן Dot-6 מניח שמקלט הבדיקה ימומש כקומפרטור עם היסטריזיס המאופיין בכמה יכולות מיוחדות. רמות ההיסטריזיס חייבות להיקבע ברמה שמתאימה לפרוטוקול תמסורת הערוץ, לניחות אפשרי ולמוד הבדיקה. בנוסף, הקומפרטור עם ההיסטריזיס אינו אמור להגיב אלא אם המעבר נשאר למשך זמן מינימלי כלשהו, מבוסס על פרוטוקול התמסורת.

כדי למקסם את שולי הרעש, תקן ה-Dot-6 דורש שקבוע הזמן המהיר ביותר בנתיב מצומד-AC יוכל להיות מוקרן החוצה בין מעברים של אות הבדיקה כאשר פקודות בדיקת ה-AC הינן פעילות, ובכך יאפשר להיסטריזיס להיקבע ביחס למשרעת המלאה של המעבר בכל כיוון.

כאשר בוחנים תקלות אפשריות של מעגל מודפס, מתברר שיש תופעה נפוצה - שלא קיים מעבר כאשר הוא אמור להיות. חייבים להכיר באופן מפורש במצב זה כדי שניתן יהיה לאתר ולאבחן את התקלות האפשריות. כדי לעזור בדיווח על המחסור בשינויים כלשהם, הקומפרטור עם ההיסטריזיס חייב להיות בעל יכולת לשמור על הערך בתא ה-JTAG אם לא נצפה כל מעבר במהלך הבדיקה. אפשרות אחת לעשות זאת היא לטעון מראש את זיכרון ההיסטריזיס עם הערך בתא ה-JTAG. אם לא התגלה מעבר, אז אותו ערך יילכד לתוך תא ה-JTAG.

חלק מהמאפיינים של הקומפרטור עם ההיסטריזיס, כמו טעינה מוקדמת של הזיכרון ההיסטריזיס, הם עניין הנוגע ישירות ל-DFT (תכנון לבדיקתיות) - או שזה קיים או שלא. כדי להבין כיצד לקבוע את המאפיינים האנלוגיים של קומפרטור עם היסטריזיס נרחיב מעט את ההסבר.

באופן כללי, לדרייבר של ערוץ או אות יש רק מאפיינים בודדים: תנודת המתח, מתח המינימום ומתח המקסימום, וזמן מעבר או לחילופין תדר מקסימלי, תחת תנאי טעינה מסויימים. יש להבין מפרטים אלה ולהשתמש בהם כדי להפיק את המירב מהמאפיינים האנלוגיים של מקלט הבדיקה. מה שמסבך את החישובים הוא הבעיה של תנודת המתח וזמן המעבר בפד המקלט, כך שחובה להבין גם את תנאי המקרה-הגרוע-ביותר של שימוש (או להניח שהם קיימים ולתעדם) כדי להעריך ניחות ואפקטים אחרים אשר עשויים להתגלות במהלך זמן הבדיקה. בהנחה שהדרייבר והמקלט קרובים מאד פיזית על המעגל המודפס, תנודות המתח וזמני המעבר של המקלט יהיו כמעט זהים לאלה של הדרייבר.

אם הדרייבר והמקלט רחוקים פיזית זה מזה על המעגל המודפס, תנודות המתח יונחתו וזמני המעבר יתארכו. ניתן לקבוע פרמטרים אלה ע"י סימולציה אנלוגית של תרשים המקרה הגרוע ביותר, או ע"י שיקול דעתו של מהנדס הבדיקה. הניחות של תנודות המתח הינו תלוי תדר, אבל מאחר שהתדר המקסימלי במהלך בדיקת הכרטיס לאותות אלה הוא מחצית תדר ה-TCK, ותדר ה-TCK המירבי הינו מוגדר בקובץ BSDL, מתכנני הרכיב והכרטיס עשויים לקבוע שניחות זה יהיה רזיסטיבי בעיקרו, ולפיכך ניתן

לחישוב. עם זאת, ניחות תדר-גבוה של המעבר אינו תלוי בתדר האות במהלך הבדיקה. כפי שנקבע בתקן Dot-6, ההערכה הטובה ביותר של זמן המעבר בצד המקלט היא רבע מזמן המחזור בתדר המקסימלי. אם זמן המעבר הינו גרוע מכך, אזי יהיה ניחות מתח חמור בתדר המקסימלי, מה שעשוי להפוך את החיבור ללא עובד.

ברגע ששלושת הערכים הללו ידועים (תנודת מתח מינימלית ומקסימלית וזמן מעבר מקסימלי בצד המקלט), ה-Dot-6 מספק כללי DFT ברורים לחישוב רמות היסטריזיס לשני המודים של מקלט הבדיקה (AC ו-DC), המשך המינימלי של אות מעל לרמת ההיסטריזיס שצריך לגלות, וקבועי הזמן המינימליים הן בעבור הצימוד והן בעבור מסנני מעביר-נמוכים לאיתור קצה. כללי ה-DFT מתוארים בסעיף 6 של התקן ה-Dot-6, ודוגמאות תכנון אחדות עם פרוטוקולים שונים ותרשימי טרמינציה שונים מוצגים בנספח של התקן. בעוד שהכללים קובעים גבולות ספציפיים, עדיין יש מקום לשיקול דעתו של מהנדס הבדיקה. הבנת הסביבה של המעגל המודפס במהלך הבדיקה, בעיקר סוגי מקורות הרעש אשר עשויים להיות נוכחים, הינה קריטית לתכנון כרטיס מוצלח ובר-בדיקה.

איש התכנון של המעגל המודפס חייב להקדיש תשומת לב לטיפול בפני-AC-ה בדיקת, ולתכנון ולעריכה של צימוד-AC, במידה שהשתמשו בו. תכנון הרכיב עשוי להטיל אילוצים, המתועדים או בקובץ BSDL או בגיליון הנתונים, לגבי קבועי הזמן של הצימוד ולגבי הטופולוגיה של הצימוד והטרמינציה. חלק מהפינים עשויים לחייב צימוד-AC, אחרים פשוט מאפשרים זאת. בנוסף, לרוב חשוב להבטיח שהצימוד והטרמינציה יהיו קרובים לרכיב הקליטה ככל האפשר. כתמיד, שיקולים של רעש ושל צימוד רעש הינם חשובים. במהלך הכרטיס בדיקת, הרכיבים עשויים לעלות על גבולות המיתוג הנורמליים שלהם בשלב ה-Update_DR, ולדרוש ביטול-צימוד טוב של ספק כוח במהלך הבדיקה.

הדפס

**** הודפס מאתר מגזין טכנולוגיות-כל הזכויות שמורות ****